

NORME INTERNATIONALE INTERNATIONAL STANDARD

**CEI
IEC
821**

Première édition
First edition
1987



Commission Electrotechnique Internationale

International Electrotechnical Commission

Международная Электротехническая Комиссия

BUS CEI 821

**Bus système à microprocesseurs pour données
de 1 à 4 octets**

IEC 821 BUS

Microprocessor system bus for 1 to 4 byte data

© CEI 1987 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse

SOMMAIRE

	Pages
PREAMBULE	18
PREFACE	18
CHAPITRE 0: DOMAINE D'APPLICATION	
Note au lecteur	20
CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 821	
Sections	
1.1 Objectifs de la norme du BUS CEI 821	22
1.2 Eléments du système d'interface BUS CEI 821.....	22
1.2.1 Définitions générales	22
1.2.1.1 Termes utilisés pour décrire la structure mécanique du BUS CEI 821	22
1.2.1.2 Termes utilisés pour décrire la structure fonctionnelle du BUS CEI 821	24
1.2.1.3 Types de cycles du BUS CEI 821	28
1.2.2 Structure générale du BUS CEI 821	30
1.3 Diagrammes de la norme du BUS CEI 821	38
1.4 Terminologie utilisée dans la norme	38
1.4.1 Etats des lignes de signaux	40
1.4.2 Utilisation de l'astérisque (*)	42
1.5 Spécification du protocole	42
1.5.1 Signaux d'interverrouillage du bus	44
1.5.2 Signal de diffusion du bus	44
1.6 Exemples et explications relatifs au système	46
CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU BUS CEI 821	
2.1 Introduction	48
2.2 Lignes du bus de transfert de données	48
2.2.1 Lignes d'adresse	52
2.2.2 Lignes de modification d'adresse	58
2.2.3 Lignes de données	62
2.2.4 Lignes de commande du bus de transfert de données	68
2.2.4.1 AS*	68
2.2.4.2 DS0* et DS1*	68
2.2.4.3 DTACK*	68
2.2.4.4 BERR*	70
2.2.4.5 WRITE*	72
2.3 Modules DTB - Description générale	72
2.3.1 MAITRE	72
2.3.2 ESCLAVE	78
2.3.3 LIMITEUR DE TEMPS D'OCCUPATION DU BUS	82
2.3.4 DETECTEUR D'ACCES	86
2.3.5 Modes d'adressage	88
2.3.6 Possibilités de base de transfert de données	92
2.3.7 Possibilités de transferts par bloc	96
2.3.8 Possibilités de lecture-modification-écriture	100
2.3.9 Possibilités de transferts non alignés	106

CONTENTS

	Page
FOREWORD	19
PREFACE	19
CHAPTER 0: SCOPE	
Note to the reader	21
CHAPTER 1: INTRODUCTION TO THE IEC 821 BUS STANDARD	
Section	
1.1 IEC 821 BUS standard objectives	23
1.2 IEC 821 BUS interface system elements	23
1.2.1 Basic definitions	23
1.2.1.1 Terms used to describe the IEC 821 BUS mechanical structure	23
1.2.1.2 Terms used to describe the IEC 821 BUS functional structure	25
1.2.1.3 Types of cycles on the IEC 821 Bus	29
1.2.2 Basic IEC 821 BUS structure	31
1.3 IEC 821 BUS standard diagrams	39
1.4 Standard terminology	39
1.4.1 Signal line states	41
1.4.2 Use of the asterisk (*)	43
1.5 Protocol specification	43
1.5.1 Interlocked bus signals	45
1.5.2 Broadcast bus signal	45
1.6 System examples and explanations	47
CHAPTER 2: IEC 821 BUS DATA TRANSFER BUS	
2.1 Introduction	49
2.2 Data Transfer Bus lines	49
2.2.1 Addressing lines	53
2.2.2 Address modifier lines	59
2.2.3 Data lines	63
2.2.4 Data Transfer Bus control lines	69
2.2.4.1 AS*	69
2.2.4.2 DS0* and DS1*	69
2.2.4.3 DTACK*	69
2.2.4.4 BERR*	71
2.2.4.5 WRITE*	73
2.3 DTB modules - Basic description	73
2.3.1 MASTER	73
2.3.2 SLAVE	79
2.3.3 BUS TIMER	83
2.3.4 LOCATION MONITOR	87
2.3.5 Addressing modes	89
2.3.6 Basic data transfer capabilities	93
2.3.7 Block transfer capabilities	97
2.3.8 Read-modify-write capabilities	101
2.3.9 Unaligned transfer capabilities	107

Sections	Pages
2.3.10 Possibilité UNIQUEMENT D'ADRESSAGE	112
2.3.11 Interaction entre les modules fonctionnels du DTB	112
2.4 Fonctionnement typique	116
2.4.1 Cycles typiques de transfert de données	116
2.4.2 Anticipation d'adresse	126
2.5 Acquisition du bus de transfert de données	128
2.6 Règles et observations de séquençement du DTB	132

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

3.1 Principes de l'arbitrage du bus	192
3.1.1 Types d'arbitrage	192
3.2 Lignes du bus d'arbitrage	196
3.2.1 Lignes de demande et d'allocation du bus	200
3.2.2 Ligne d'occupation du bus (BBSY*)	200
3.2.3 Ligne de libération du bus (BCLR*)	200
3.3 Modules fonctionnels	202
3.3.1 ARBITRE	202
3.3.2 DEMANDEUR	208
3.3.3 MAITRE du bus de transfert de données	214
3.3.3.1 Libération du DTB	214
3.3.3.2 Acquisition du DTB	216
3.3.3.3 Autres informations	216
3.4 Fonctionnement typique	216
3.4.1 Arbitrage de deux niveaux différents de demande du bus	216
3.4.2 Arbitrage de deux demandes du bus sur la même ligne	226
3.5 Course critique entre les demandes du MAITRE et les accords de l'ARBITRE	234

CHAPITRE 4: BUS D'INTERRUPTION PRIORITAIRE DU BUS CEI 821

4.1 Introduction	236
4.1.1 Systèmes à contrôleur unique	236
4.1.2 Systèmes distribués	236
4.2 Lignes du bus d'interruption prioritaire	244
4.2.1 Lignes de demande d'interruption	244
4.2.2 Ligne de reconnaissance d'interruption	244
4.2.3 Chaîne série de reconnaissance d'interruption - IACKIN*/IACKOUT*	244
4.3 Modules du bus d'interruption prioritaire - Description générale	246
4.3.1 CONTROLEURS D'INTERRUPTION	248
4.3.2 GENERATEUR D'INTERRUPTION	252
4.3.3 ÉMETTEUR DE CHAÎNE SÉRIE IACK	260
4.3.4 Possibilités de prise en compte d'une demande d'interruption	262
4.3.5 Possibilités de génération d'une demande d'interruption	264
4.3.6 Possibilités de transferts du MOT D'ÉTAT/IDentificateur	264
4.3.7 Possibilités de libération de la demande d'interruption	266
4.3.8 Interaction entre les modules du bus d'interruption prioritaire	270
4.4 Fonctionnement typique	278
4.4.1 Fonctionnement des interruptions à contrôleur unique	278
4.4.2 Fonctionnement des interruptions distribuées	280
4.4.2.1 Systèmes à interruptions distribuées avec sept CONTROLEURS D'INTERRUPTION ...	280
4.4.2.2 Systèmes à interruptions distribuées avec deux à six CONTROLEURS D'INTERRUPTION	280

Section	Page
2.3.10 ADDRESS-ONLY capability	113
2.3.11 Interaction between DTB functional modules	113
2.4 Typical operation	117
2.4.1 Typical data transfer cycles	117
2.4.2 Address pipelining	127
2.5 Data Transfer Bus acquisition	129
2.6 DTB timing rules and observations	133

CHAPTER 3: IEC 821 BUS DATA TRANSFER BUS ARBITRATION

3.1 Bus arbitration philosophy	193
3.1.1 Types of arbitration	193
3.2 Arbitration bus lines	197
3.2.1 Bus request and bus grant lines	201
3.2.2 Bus busy line (BBSY*)	201
3.2.3 Bus clear line (BCLR*)	201
3.3 Functional modules	203
3.3.1 ARBITER	203
3.3.2 REQUESTER	209
3.3.3 Data Transfer Bus MASTER	215
3.3.3.1 Release of the DTB	215
3.3.3.2 Acquisition of the DTB	217
3.3.3.3 Other information	217
3.4 Typical operation	217
3.4.1 Arbitration of two different levels of bus request	217
3.4.2 Arbitration of two bus requests on the same bus request line	227
3.5 Race conditions between MASTER requests and ARBITER grants	235

CHAPTER 4: IEC 821 BUS PRIORITY INTERRUPT BUS

4.1 Introduction	237
4.1.1 Single handler systems	237
4.1.2 Distributed systems	237
4.2 Priority Interrupt Bus lines	245
4.2.1 Interrupt request lines	245
4.2.2 Interrupt acknowledge line	245
4.2.3 Interrupt acknowledge daisy-chain - IACKIN*/IACKOUT*	245
4.3 Priority Interrupt Bus modules - Basic description	247
4.3.1 INTERRUPT HANDLERS	249
4.3.2 INTERRUPTER	253
4.3.3 IACK DAISY-CHAIN DRIVER	261
4.3.4 Interrupt request handling capabilities	263
4.3.5 Interrupt request generation capabilities	265
4.3.6 STATUS/ID transfer capabilities	265
4.3.7 Interrupt request release capabilities	267
4.3.8 Interaction between Priority Interrupt Bus modules	271
4.4 Typical operation	279
4.4.1 Single handler interrupt operation	279
4.4.2 Distributed interrupt operation	281
4.4.2.1 Distributed interrupt systems with seven INTERRUPT HANDLERS	281
4.4.2.2 Distributed interrupt systems with two to six INTERRUPT HANDLERS	281

Sections	Pages
4.4.3 Exemple: fonctionnement typique d'un système d'interruption à contrôleur unique	284
4.4.4 Exemple: priorité de deux interruptions dans un système à interruptions distribuées	292
4.5 REGLES et OBSERVATIONS concernant le séquençement du bus d'interruption prioritaire	296

CHAPITRE 5: BUS UTILITAIRE DU BUS CEI 821

5.1 Introduction	336
5.2 Signaux du bus utilitaire	336
5.3 Modules du bus utilitaire	336
5.3.1 L'EMETTEUR DE L'HORLOGE DU SYSTEME	336
5.3.2 L'EMETTEUR DE L'HORLOGE DU BUS SERIE	336
5.3.3 Le CONTROLEUR D'ALIMENTATION	336
5.4 Initialisation et diagnostic du système	346
5.5 Broches d'alimentation	352
5.6 Ligne RESERVEE	352

CHAPITRE 6: SPECIFICATIONS ELECTRIQUES DU BUS CEI 821

6.1 Introduction	356
6.2 Distribution du courant d'alimentation	356
6.2.1 Spécifications des tensions courant continu	358
6.2.2 Caractéristiques électriques des broches et supports des connecteurs	360
6.3 Caractéristiques électriques des signaux	360
6.4 Spécifications de commande et de réception du bus	362
6.4.1 Définitions des circuits de commande du bus	362
6.4.2 REGLES pour commander et charger toutes les lignes de signaux du BUS CEI 821	364
6.4.2.1 REGLES pour commander et charger les lignes de signaux trois états à courant élevé (AS*, DS0*, DS1*)	364
6.4.2.2 REGLES pour commander et charger les lignes de signaux trois états standards (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*)	366
6.4.2.3 REGLES pour commander et charger les lignes "totem-pole" à courant élevé (SERCLK, SYSCLK, BCLR*)	368
6.4.2.4 REGLES pour commander et charger les lignes "totem-pole" standards (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*)	370
6.4.2.5 REGLES pour commander et charger les lignes à collecteur ouvert (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*)	372
6.5 Interconnexions des lignes de signaux du fond de panier	372
6.5.1 Réseaux d'adaptation d'impédance	374
6.5.2 Impédance caractéristique	376
6.5.3 Informations complémentaires	382
6.6 Signaux définis par l'utilisateur	384
6.7 Emetteurs des lignes de signaux et adaptations	384

CHAPITRE 7: SPECIFICATIONS MECANIQUES DU BUS CEI 821

7.1 Introduction	388
7.2 Cartes du BUS CEI 821	390
7.2.1 Cartes simple hauteur	392
7.2.2 Cartes double hauteur	392
7.2.3 Connecteurs de la carte	394

Section	Page
4.4.3 Example: typical single handler interrupt system operation	285
4.4.4 Example: prioritization of two interrupts in a distributed interrupt system ...	293
4.5 Priority Interrupt Bus timing RULES and OBSERVATIONS	297

CHAPTER 5: IEC 821 BUS UTILITY BUS

5.1 Introduction	337
5.2 Utility Bus signal lines	337
5.3 Utility Bus modules	337
5.3.1 The SYSTEM CLOCK DRIVER	337
5.3.2 The SERIAL CLOCK DRIVER	337
5.3.3 The POWER MONITOR	337
5.4 System initialization and diagnostics	347
5.5 Power pins	353
5.6 RESERVED line	353

CHAPTER 6: IEC 821 BUS ELECTRICAL SPECIFICATIONS

6.1 Introduction	357
6.2 Power distribution	357
6.2.1 D.C. voltage specifications	359
6.2.2 Pin and socket connector electrical ratings	361
6.3 Electrical signal characteristics	361
6.4 Bus driving and receiving requirements	363
6.4.1 Bus driver definitions	363
6.4.2 Driving and loading RULES for all IEC 821 BUS lines	365
6.4.2.1 Driving and loading RULES for high current three-state lines (AS*, DS0*, DS1*)	365
6.4.2.2 Driving and loading RULES for standard three-state lines (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*)	367
6.4.2.3 Driving and loading RULES for high current totem-pole lines (SERCLK, SYSCLK, BCLR*)	369
6.4.2.4 Driving and loading RULES for standard totem-pole lines (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*)	371
6.4.2.5 Driving and loading RULES for open-collector lines (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*)	373
6.5 Backplane signal line interconnections	373
6.5.1 Termination networks	375
6.5.2 Characteristic impedance	377
6.5.3 Additional information	383
6.6 User defined signals	385
6.7 Signal line drivers and terminations	385

CHAPTER 7: IEC 821 BUS MECHANICAL SPECIFICATIONS

7.1 Introduction	389
7.2 IEC 821 BUS boards	391
7.2.1 Single height boards	393
7.2.2 Double height boards	393
7.2.3 Board connectors	395

Sections	Pages
7.2.4 Cartes équipées	396
7.2.5 Largeurs des cartes	396
7.2.6 Gauchissement des cartes du BUS CEI 821, longueur des pattes et hauteur des composants	396
7.3 Panneaux avant	398
7.3.1 Poignées	400
7.3.2 Montage du panneau avant	402
7.3.3 Dimensions du panneau avant	402
7.3.4 Panneaux de remplissage	404
7.3.5 Ejecteurs/injecteurs de cartes	404
7.4 Fonds de panier	406
7.4.1 Dimensions exigées du fond de panier	408
7.4.2 Réseaux d'adaptation d'impédance des lignes de signaux	408
7.5 Assemblage des châssis du BUS CEI 821.....	410
7.5.1 Châssis et largeurs des emplacements	410
7.5.2 Dimensions du châssis	410
7.6 Connecteurs du fond de panier du BUS CEI 821 et connecteurs de cartes du BUS CEI 821	448
7.6.1 Affectation des broches du connecteur J ₁ /P ₁	448
7.6.2 Affectation des broches du connecteur J ₂ /P ₂	450
ANNEXE A - Glossaire de termes du BUS CEI 821	452
ANNEXE B - Description des broches/connecteurs du BUS CEI 821	462
ANNEXE C - Utilisation des lignes SERCLK et SERDAT*	468
 Figures	
1-1: Eléments du système définis par cette norme	34
1-2: Modules fonctionnels et bus définis par cette norme	36
1-3: Notations utilisées dans les chronogrammes	46
2-1: Schéma-bloc fonctionnel du bus de transfert de données	50
2-2: Schéma-bloc: MAITRE	74
2-3: Schéma-bloc: ESCLAVE	78
2-4: Schéma-bloc: LIMITEUR DE TEMPS D'OCCUPATION DU BUS	82
2-5: Schéma-bloc: DETECTEUR D'ACCES	86
2-6: Quatre moyens de mémoriser des données de 32 bits en mémoire	106
2-7: Quatre moyens de mémoriser des données de 16 bits en mémoire	108
2-8: Un exemple de cycle de lecture d'un octet unique	120
2-9: Un exemple de cycle d'écriture d'un double octet	122
2-10: Un exemple de cycle d'écriture d'un quadruple octet	124
2-11: Séquence d'échange du bus de transfert de données du MAITRE	130
2-12: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse TOUS LES CYCLES	168
2-13: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse Transferts d'octet unique pair; transferts d'octet unique impair; transferts double octet; transferts quadruple octet; transferts non alignés	170
2-14: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse Transferts de blocs par octet; transferts de blocs par double octet; transferts de blocs par quadruple octet	172
2-15: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse Cycles RMW pour octet unique; cycles RMW pour double octet; cycles RMW pour quadruple octet	174

Section	Page
7.2.4 Board assemblies	397
7.2.5 Board widths	397
7.2.6 IEC 821 BUS board warpage, lead length and component height	397
7.3 Front panels	399
7.3.1 Handles	401
7.3.2 Front panel mounting	403
7.3.3 Front panel dimensions	403
7.3.4 Filler panels	405
7.3.5 Board ejectors/injectors	405
7.4 Backplanes	407
7.4.1 Backplane dimensional requirements	409
7.4.2 Signal line termination networks	409
7.5 Assembly of IEC 821 BUS subracks	411
7.5.1 Subracks and slot widths	411
7.5.2 Subrack dimensions	411
7.6 IEC 821 BUS backplane connectors and IEC 821 BUS board connectors	449
7.6.1 Pin assignments for the J ₁ /P ₁ connector	449
7.6.2 Pin assignments for the J ₂ /P ₂ connector	451
APPENDIX A - Glossary of IEC 821 BUS terms	453
APPENDIX B - IEC 821 BUS connector/pin description	463
APPENDIX C - Use of the SERCLK and SERDAT* lines	469
 Figures	
1-1: System elements defined by this standard	35
1-2: Functional modules and buses defined by this standard	37
1-3: Signal timing notation	47
2-1: Data Transfer Bus functional block diagram	51
2-2: Block diagram: MASTER	75
2-3: Block diagram: SLAVE	79
2-4: Block diagram: BUS TIMER	83
2-5: Block diagram: LOCATION MONITOR	87
2-6: Four ways that 32 bits of data might be stored in memory	107
2-7: Four ways that 16 bits of data might be stored in memory	109
2-8: An example of a single byte read cycle	121
2-9: An example of a double byte write cycle	123
2-10: An example of a quad byte write cycle	125
2-11: Data Transfer Bus MASTER exchange sequence	131
2-12: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing ALL CYCLES	169
2-13: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing Single even byte transfers; single odd byte transfers; double byte transfers; quad byte transfers; unaligned transfers	171
2-14: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing Single byte block transfers; double byte block transfers; quad byte block transfers	173
2-15: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing Single byte RMW cycles; double byte RMW cycles; quad byte RMW cycles	175

Figures	Pages
2-16: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données LECTURE OCTET(0); LECTURE OCTET(1); LECTURE OCTET(2); LECTURE OCTET(3); LECTURE OCTET(0-2); LECTURE OCTET(1-3); LECTURE DE BLOCS PAR OCTET	176
2-17: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données LECTURE OCTET(0-1); LECTURE OCTET(2-3); LECTURE OCTET(0-3); LECTURE OCTET(1-2); LECTURE DE BLOCS PAR DOUBLE OCTET; LECTURE DE BLOCS PAR QUADRUPLE OCTET	178
2-18: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données ECRITURE OCTET(0); ECRITURE OCTET(1); ECRITURE OCTET(2); ECRITURE OCTET(3); ECRITURE OCTET(0-2); ECRITURE OCTET(1-3); ECRITURE DE BLOCS PAR OCTET	180
2-19: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données ECRITURE OCTET(0-1); ECRITURE OCTET(2-3); ECRITURE OCTET(0-3); ECRITURE OCTET(1-2); ECRITURE DE BLOCS PAR DOUBLE OCTET; ECRITURE DE BLOCS PAR QUADRUPLE OCTET	182
2-20: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données Cycle RMW pour octet unique	184
2-21: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données Cycles RMW pour double octet; Cycles RMW pour quadruple octet	184
2-22: Chronogramme du signal de validation d'adresse entre les cycles	186
2-23: Chronogramme des signaux de validation de donnée entre les cycles Un cycle où les deux signaux de validation de donnée passent au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas	186
2-24: Chronogramme des signaux de validation de donnée entre les cycles Un cycle où un signal de validation de donnée passe au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas	188
2-25: MAITRE, ESCLAVE et LIMITEUR DE TEMPS D'OCCUPATION DU BUS - Chronogramme de transfert de données Cycle de dépassement de temps d'occupation du bus	188
2-26: MAITRE - Chronogramme du transfert du contrôle du DTB.....	190
3-1: Schéma-bloc fonctionnel de l'arbitrage du bus	194
3-2: Illustration des lignes de la chaîne série d'allocation du bus	198
3-3: Schéma-bloc: ARBITRE	206
3-4: Schéma-bloc: DEMANDEUR	212
3-5: Organigramme de l'arbitrage: deux DEMANDEURS, deux niveaux de demande	220
3-6: Séquence d'arbitrage: deux DEMANDEURS, deux niveaux de demande	224
3-7: Organigramme de l'arbitrage: deux DEMANDEURS, même niveau de demande	228
3-8: Séquence d'arbitrage: deux DEMANDEURS, même niveau de demande	232
4-1: Schéma-bloc fonctionnel du système d'interruption prioritaire du BUS CEI 821.	238
4-2: Structure du sous-système d'interruption: système à contrôleur unique	240
4-3: Structure du sous-système d'interruption: système distribué	242
4-4: CHAÎNE SERIE IACKIN*/IACKOUT*	246
4-5: Schéma-bloc: CONTROLEUR D'INTERRUPTION	250
4-6: Schéma-bloc: GENERATEUR D'INTERRUPTION	258
4-7: Schéma-bloc: EMETTEUR DE CHAÎNE SERIE IACK	262

Figures	Page
2-16: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0) READ; BYTE(1) READ; BYTE(2) READ; BYTE(3) READ; BYTE(0-2) READ; BYTE(1-3) READ; SINGLE BYTE BLOCK READ	177
2-17: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0-1) READ; BYTE(2-3) READ; BYTE(0-3) READ; BYTE(1-2) READ; DOUBLE BYTE BLOCK READ; QUAD BYTE BLOCK READ	179
2-18: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0) WRITE; BYTE(1) WRITE; BYTE(2) WRITE; BYTE(3) WRITE; BYTE(0-2) WRITE; BYTE(1-3) WRITE; SINGLE BYTE BLOCK WRITE	181
2-19: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0-1) WRITE; BYTE(2-3) WRITE; BYTE(0-3) WRITE; BYTE(1-2) WRITE; DOUBLE BYTE BLOCK WRITE; QUAD BYTE BLOCK WRITE	183
2-20: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing Single byte RMW cycle	185
2-21: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing Double byte RMW cycles quad byte RMW cycles	185
2-22: Address strobe inter-cycle timing	187
2-23: Data strobe inter-cycle timing A cycle where both data strobes go low followed by a cycle where one or both data strobes go low	187
2-24: Data strobe inter-cycle timing A cycle where one data strobe goes low followed by a cycle where one or both data strobes go low	189
2-25: MASTER, SLAVE and BUS TIMER - Data transfer timing Timed-out cycle	189
2-26: MASTER - DTB control transfer timing	191
3-1: Arbitration bus functional block diagram	195
3-2: Illustration of the daisy-chained bus grant lines	199
3-3: Block diagram: ARBITER	207
3-4: Block diagram: REQUESTER	213
3-5: Arbitration flow diagram: two REQUESTERS, two request levels	221
3-6: Arbitration sequence diagram: two REQUESTERS, two request levels	225
3-7: Arbitration flow diagram: two REQUESTERS, same request level	229
3-8: Arbitration sequence diagram: two REQUESTERS, same request level	233
4-1: Priority Interrupt Bus functional block diagram	239
4-2: Interrupt subsystem structure: single handler system	241
4-3: Interrupt subsystem structure: distributed system	243
4-4: IACKIN*/IACKOUT* DAISY-CHAIN	247
4-5: Block diagram: INTERRUPT HANDLER	251
4-6: Block diagram: INTERRUPTER	259
4-7: Block diagram: IACK DAISY-CHAIN DRIVER	263

Figures	Pages
4-8: Libération des lignes de demande d'interruption par les GENERATEURS D'INTERRUPTION ROAK et RORA	270
4-9: Un EMETTEUR DE CHAÎNE SERIE IACK et un GENERATEUR D'INTERRUPTION sur la même carte	274
4-10: Deux GENERATEURS D'INTERRUPTION sur la même carte	276
4-11: Les trois phases d'une séquence d'interruption	278
4-12: Deux CONTROLEURS D'INTERRUPTION surveillant chacun une ligne de demande d'interruption	282
4-13: Deux CONTROLEURS D'INTERRUPTION surveillant chacun plusieurs lignes de demande d'interruption	284
4-14: Organigramme du fonctionnement typique d'un système d'interruption à contrôleur unique d'interruption	288
4-15: Organigramme du fonctionnement typique d'un système à interruptions distribuées avec deux CONTROLEURS D'INTERRUPTION	294
4-16: CONTROLEUR et GENERATEUR D'INTERRUPTION - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	326
4-17: EMETTEUR DE CHAÎNE SERIE IACK - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	326
4-18: GENERATEUR D'INTERRUPTION qui participe - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	328
4-19: GENERATEUR D'INTERRUPTION qui répond - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	330
4-20: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE	330
4-21: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET; CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET	332
4-22: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE	332
4-23: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET; CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET	334
4-24: EMETTEUR DE CHAÎNE SERIE IACK, GENERATEUR D'INTERRUPTION qui répond et GENERATEUR D'INTERRUPTION qui participe - Chronologie de la chaîne série IACK entre les cycles	334
5-1: Schéma-bloc du bus utilitaire	340
5-2: Chronogramme de l'EMETTEUR DE L'HORLOGE SYSTEME	342
5-3: Schéma-bloc du module CONTROLEUR D'ALIMENTATION	342
5-4: Chronogramme du CONTROLEUR D'ALIMENTATION lors d'une défaillance d'alimentation	344
5-5: Chronogramme du CONTROLEUR D'ALIMENTATION lors de la mise sous tension	344
5-6: Chronogramme des signaux SYSRESET* et SYSFAIL*	350
5-7: Courant admissible dans les broches d'alimentation	354
6-1: Niveaux des signaux du BUS CEI 821	360
6-2: Adaptation d'impédance standard du bus	376
6-3: Coupe d'une piste de microruban utilisée comme ligne de signal sur le fond de panier	378
6-4: Z_0 en fonction de la largeur de ligne	380
6-5: C_0 en fonction de la largeur de ligne	380

Figures	Page
4-8: Release of the interrupt request lines by ROAK and RORA INTERRUPTERS	271
4-9: An IACK DAISY-CHAIN DRIVER and an INTERRUPTER on the same board	275
4-10: Two INTERRUPTERS on the same board	277
4-11: The three phases of an interrupt sequence	279
4-12: Two INTERRUPT HANDLERS, each monitoring one interrupt request line	283
4-13: Two INTERRUPT HANDLERS, each monitoring several interrupt request lines	285
4-14: Typical single handler interrupt system operation flow diagram	289
4-15: Typical distributed interrupt system with two INTERRUPT HANDLERS, flow diagram	295
4-16: INTERRUPT HANDLER and INTERRUPTER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	327
4-17: IACK DAISY-CHAIN DRIVER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	327
4-18: Participating INTERRUPTER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	329
4-19: Responding INTERRUPTER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	331
4-20: INTERRUPT HANDLER - STATUS/ID transfer timing SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE	331
4-21: INTERRUPT HANDLER - STATUS/ID transfer timing DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	333
4-22: Responding INTERRUPTER - STATUS/ID transfer timing SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE	333
4-23: Responding INTERRUPTER - STATUS/ID transfer timing DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	335
4-24: IACK DAISY-CHAIN DRIVER, responding INTERRUPTER, and participating INTERRUPTER - IACK daisy-chain inter-cycle timing	335
5-1: Utility Bus block diagram	341
5-2: SYSTEM CLOCK DRIVER timing diagram	343
5-3: Block diagram of POWER MONITOR module	343
5-4: POWER MONITOR power failure timing	345
5-5: POWER MONITOR system restart timing	345
5-6: SYSRESET* and SYSFAIL* timing diagram	351
5-7: Current rating for power pins	355
6-1: IEC 821 BUS signal levels	361
6-2: Standard bus termination	377
6-3: Backplane microstrip signal line cross section	379
6-4: Z_0 versus line width	381
6-5: C_0 versus line width	381

Figures	Pages
7-1: Châssis équipé avec des cartes de tailles différentes	412
7-2: Carte simple hauteur: dimensions de base	414
7-3: Carte double hauteur: dimensions de base	416
7-4: Position des connecteurs sur les cartes simple et double hauteur	418
7-5: Vue en coupe d'une carte, d'un connecteur, d'un fond de panier et d'un panneau avant	420
7-6: Hauteur des composants, longueur des pattes et gauchissement de la carte	422
7-7: Pannneau avant, simple hauteur, simple largeur	424
7-8: Pannneau avant, double hauteur, simple largeur	426
7-9: Supports de montage du pannneau avant et dimensions d'une carte simple hauteur	428
7-10: Supports de montage du pannneau avant et dimensions d'une carte double hauteur	430
7-11: Pannneau de remplissage simple hauteur	432
7-12: Pannneau de remplissage double hauteur	434
7-13: Dimensions hors tout du fond de panier	436
7-14: Dimensions détaillées du fond de panier	438
7-15: Adaptation du fond de panier "Type hors carte" (vue d'en haut du fond de panier)	440
7-16: Adaptation du fond de panier "Type sur carte" (vue d'en haut du fond de panier)	442
7-17: Châssis à 21 emplacements	444
7-18: Détail du guide de carte	446
C-1: Chronogramme de SERCLK	470

Tableaux

2-1: Les quatre catégories d'emplacement d'octet	52
2-2: Niveaux des signaux utilisés pour sélectionner le ou les octets auxquels on accède pendant un transfert de données	56
2-3: Codes modificateurs d'adresse	60
2-4: Utilisation des lignes de données pour transférer des données pendant chacun des 34 types de cycle	64
2-5: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de MAITRES	76
2-6: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types d'ESCLAVES	80
2-7: Utilisation du mnémonique BT0() pour spécifier la durée de limitation de temps des LIMITEURS DE TEMPS D'OCCUPATION DU BUS	84
2-8: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de DETECTEURS D'ACCES	88
2-9: Mnémoniques qui spécifient les possibilités d'adressage	90
2-10: Mnémoniques qui spécifient les possibilités de base de transferts de données fondamentaux	96
2-11: Mnémoniques qui spécifient les possibilités de transferts par bloc	100
2-12: Mnémoniques qui spécifient les possibilités de lecture-modification-écriture.	104
2-13: Transferts de 32 bits de données utilisant des cycles de transfert de multiple octet	108
2-14: Transferts de 16 bits de données utilisant des cycles de transfert de multiple octet	110
2-15: Mnémonique qui spécifie la possibilité de transfert non aligné	110
2-16: Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE	112
2-17: Chronogrammes qui définissent le fonctionnement du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES	136
2-18: Chronogrammes qui définissent le fonctionnement du MAITRE, de l'ESCLAVE, du DETECTEUR D'ACCES, du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION pendant TOUS les cycles	138

Figures	Page
7-1: Subrack with mixed board sizes	413
7-2: Single height board: basic dimensions	415
7-3: Double height board: basic dimensions	417
7-4: Connector position on single and double height boards.....	419
7-5: Cross sectional view of board, connector, backplane, and front panel	421
7-6: Component height, lead length and board warpage	423
7-7: Single height, single width, front panel	425
7-8: Double height, single width, front panel	427
7-9: Front panel mounting brackets and dimensions of single height board	429
7-10: Front panel mounting brackets and dimensions of double height board	431
7-11: Single height filler panel	433
7-12: Double height filler panel	435
7-13: Backplane overall dimensions	437
7-14: Backplane detailed dimensions	439
7-15: "Off board type" backplane termination (view from top of backplane)	441
7-16: "On board type" backplane termination (view from top of backplane)	443
7-17: 21-slot subrack	445
7-18: Board guide detail	447
C-1: SERCLK timing diagram	471
Tables	
2-1: The four categories of byte location	53
2-2: Signal levels used to select which byte location(s) are accessed during a data transfer	57
2-3: Address modifier codes	61
2-4: Use of the data lines to move data during each of the 34 cycle types	65
2-5: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of MASTERS	77
2-6: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of SLAVES	81
2-7: Use of the BT0() mnemonic to specify the time-out period of BUS TIMERS	85
2-8: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of LOCATION MONITORS	89
2-9: Mnemonics that specify addressing capabilities	91
2-10: Mnemonics that specify basic data transfer capabilities	97
2-11: Mnemonics that specify block transfer capabilities	101
2-12: Mnemonics that specify read-modify-write capabilities	105
2-13: Transferring 32 bits of data using multiple byte transfer cycles	109
2-14: Transferring 16 bits of data using multiple byte transfer cycles	111
2-15: Mnemonic that specifies unaligned transfer capability	111
2-16: Mnemonic that specifies ADDRESS-ONLY capability	113
2-17: Timing diagrams that define MASTER, SLAVE and LOCATION MONITOR operation	137
2-18: Timing diagrams that define MASTER, SLAVE, LOCATION MONITOR, INTERRUPT HANDLER and INTERRUPTER operation during ALL cycles	139

Tableaux	Pages
2-19: Définition des mnémoniques utilisés dans les tableaux 2-20, 2-21 et 2-22	138
2-20: Utilisation des lignes d'adressage pour sélectionner un groupe de 4 octets ..	140
2-21: Utilisation des lignes DS1*, DS0*, A01 et LWORD* pour sélectionner le ou les octets dans le groupe de 4 octets	142
2-22: Utilisation des lignes de données du bus pour transférer des données	144
2-23: Paramètres de temps des chronogrammes du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES	148
2-24: Paramètres de temps du chronogramme du LIMITEUR DE TEMPS D'OCCUPATION DU BUS	148
2-25: MAITRE - REGLES et OBSERVATIONS sur la chronologie	150
2-26: ESCLAVE - REGLES et OBSERVATIONS sur la chronologie	158
2-27: DETECTEUR D'ACCES - OBSERVATIONS sur la chronologie	164
2-28: LIMITEUR DE TEMPS D'OCCUPATION DU BUS - REGLES de la chronologie	166
3-1: REGLES et OBSERVATIONS qui spécifient l'utilisation des lignes pointillées par les différents types d'ARBITRES définis dans cette norme	208
3-2: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de DEMANDEURS définis dans cette norme ..	212
4-1: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de CONTROLEURS D'INTERRUPTION	252
4-2: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de GENERATEURS D'INTERRUPTION	260
4-3: Utilisation du mnémonique IH() pour spécifier les possibilités de traitement d'interruption	262
4-4: Utilisation du mnémonique IL() pour spécifier les possibilités de génération d'une demande d'interruption	264
4-5: Mnémoniques qui spécifient les possibilités de transfert du MOT D'ETAT/IDentificateur	264
4-6: Mnémoniques qui spécifient les possibilités de libération des demandes d'interruption	270
4-7: Code de la reconnaissance d'interruption sur 3 bits	292
4-8: Chronogrammes qui définissent le fonctionnement du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION	300
4-9: Chronogrammes qui définissent le fonctionnement de l'EMETTEUR DE CHAINE SERIE IACK	300
4-10: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui participe	302
4-11: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui répond	302
4-12: Définitions des mnémoniques utilisés dans les tableaux 4-13, 4-14 et 4-15 ...	304
4-13: Utilisation des lignes d'adresse pendant les cycles de reconnaissance d'interruption	304
4-14: Utilisation des lignes DS1*, DS0*, LWORD* et WRITE* pendant les cycles de reconnaissance d'interruption	306
4-15: Utilisation des lignes du bus de données pour le transfert du MOT D'ETAT/IDentificateur	306
4-16: Paramètres de temps des chronogrammes du CONTROLEUR D'INTERRUPTION, du GENERATEUR D'INTERRUPTION et de l'EMETTEUR DE CHAINE SERIE IACK	308
4-17: CONTROLEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie	310
4-18: GENERATEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie	316
4-19: EMETTEUR DE CHAINE SERIE IACK - REGLES et OBSERVATIONS sur la chronologie ...	322
5-1: Commandes émises par les modules pendant le démarrage et l'arrêt de l'alimentation	348
6-1: Spécifications des tensions du bus	358
6-2: Spécifications de commande et de réception du bus	362
6-3: Résumé des émetteurs de bus	386
7-1: Affectation des broches J ₁ /P ₁	448
7-2: Affectation des broches J ₂ /P ₂	450
C-1: Valeurs des temps de SERCLK	470

Tables	Page
2-19: Definitions of mnemonics used in Tables 2-20, 2-21 and 2-22	139
2-20: Use of addressing lines to select a 4-byte group	141
2-21: Use of the DS1*, DS0*, A01, and LWORD* lines to select the byte(s) within a 4-byte group	143
2-22: Use of the data bus lines to transfer data	145
2-23: MASTER, SLAVE, and LOCATION MONITOR timing parameters	149
2-24: BUS TIMER timing parameters	149
2-25: MASTER-Timing RULES and OBSERVATIONS	151
2-26: SLAVE-Timing RULES and OBSERVATIONS	159
2-27: LOCATION MONITOR Timing OBSERVATIONS	165
2-28: BUS TIMER-Timing RULES	167
3-1: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of ARBITERS defined by this standard	209
3-2: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of REQUESTERS defined by this standard	213
4-1: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of INTERRUPT HANDLERS	253
4-2: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of INTERRUPTERS	261
4-3: Use of the IH() mnemonic to specify interrupt handling capabilities	263
4-4: Use of the I() mnemonic to specify interrupt request generation capabilities ..	265
4-5: Mnemonics that specify STATUS/ID transfer capabilities	265
4-6: Mnemonics that specify interrupt request release capabilities	271
4-7: 3-bit interrupt acknowledge code	293
4-8: Timing diagrams that define INTERRUPT HANDLER and INTERRUPTER operation	301
4-9: Timing diagrams that define IACK DAISY-CHAIN DRIVER operation	301
4-10: Timing diagrams that define participating INTERRUPTER operation	303
4-11: Timing diagrams that define responding INTERRUPTER operation	303
4-12: Definitions of mnemonics used in Tables 4-13, 4-14 and 4-15	305
4-13: Use of addressing lines during interrupt acknowledge cycles	305
4-14: Use of the DS1*, DS0*, LWORD*, and WRITE* lines during interrupt acknowledge cycles	307
4-15: Use of the data bus lines to transfer the STATUS/ID	307
4-16: INTERRUPT HANDLER, INTERRUPTER, and IACK DAISY-CHAIN DRIVER timing parameters .	309
4-17: INTERRUPT HANDLER - Timing RULES and OBSERVATIONS	311
4-18: INTERRUPTER - Timing RULES and OBSERVATIONS	317
4-19: IACK DAISY-CHAIN DRIVER - Timing RULES and OBSERVATIONS	323
5-1: Module drive during power-up and power-down sequences	349
6-1: Bus voltage specifications	359
6-2: Bus driving and receiving requirements	363
6-3: Bus driver summary	387
7-1: J ₁ /P ₁ pin assignments	449
7-2: J ₂ /P ₂ pin assignments	451
C-1: SERCLK timing values	471

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS CEI 821

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES DE 1 A 4 OCTETS

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Sous-Comité 47B: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI: Dispositifs à semi-conducteurs.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)7	47B(BC)12

Pour de plus amples renseignements, consulter le rapport de vote mentionné dans le tableau ci-dessus.

Les publications suivantes de la CEI sont citées dans la présente norme:

- Publications n^{os} 297-1 (1982): Dimensions des structures mécaniques de la série de 482,6 mm (19 in), Première partie: Panneaux et bâtis.
- 297-3 (1984): Troisième partie: Bacs et blocs enfichables associés.
- 603-2 (1980): Connecteurs pour fréquences inférieures à 3 MHz pour utilisation avec cartes imprimées, Deuxième partie: Connecteurs pour circuits imprimés en deux parties, pour grille de base de 2,54 mm (0.1 in) avec caractéristiques de montage communes.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 821 BUS

MICROPROCESSOR SYSTEM BUS FOR 1 TO 4 BYTE DATA

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by Sub-Committee 47B: Microprocessor Systems, of IEC Technical Committee No. 47: Semiconductor Devices.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47B(C0)7	47B(C0)12

Further information can be found in the Report on Voting indicated in the table above.

The following IEC publications are quoted in this standard:

Publication Nos. 297-1 (1982): Dimensions of Mechanical Structures of the 482.6 mm (19 in) Series, Part 1: Panels and Racks.

297-3 (1984): Subracks and Associated Plug-in Units.

603-2 (1980): Connectors for Frequencies below 3 MHz for Use with Printed Boards, Part 2: Two-part Connectors for Printed Boards for Basic Grid of 2.54 mm (0.1 in), with Common Mounting Features.

BUS CEI 821

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES
DE 1 A 4 OCTETS

CHAPITRE 0: DOMAINE D'APPLICATION

La présente norme décrit un bus de fond de panier à haute performance utilisable dans les systèmes à microprocesseurs. Ce bus parallèle permet des cycles de transferts, soit uniques, soit par blocs, sur une voie d'adresses et de données de 32 bits non multiplexées. La transmission est gérée par un protocole de dialogue asynchrone. L'allocation du bus permet une architecture multiprocesseur. Ce bus permet également l'utilisation d'interruptions entre modules, facilitant une réponse rapide à des événements internes ou externes. La mécanique des cartes et des châssis est conçue à partir de la Publication 297 de la CEI: Dimensions des panneaux et bâtis.

Note au lecteur

Le BUS CEI 822, cité dans la section 7.4, représente le bus en cours de normalisation par le Sous-Comité 47B en tant que bus sous-système du BUS CEI 821 qui constitue la présente norme.

Le BUS CEI 823, cité aux paragraphes 1.2.1.2 et 5.3.2 et dans les annexes B et C, représente le bus qui est à l'étude dans le cadre du Sous-Comité 47B en tant que bus série du présent BUS CEI 821.

IEC 821 BUS
MICROPROCESSOR SYSTEM BUS FOR 1 TO 4 BYTE DATA

CHAPTER 0: SCOPE

This standard describes a high performance backplane bus for use in microprocessor based systems. This parallel bus supports single and block transfer cycles on a 32-bit non-multiplexed address and data highway. Transmission is governed by an asynchronous handshaken protocol. The bus allocation provides for multiprocessor architectures. This bus also supports inter-module interrupts for facilitating quick response to internal and external events. The mechanics of the boards and chassis are based on IEC Publication 297: Dimensions of Panels and Racks.

Note to the reader

IEC 822 BUS, named in Section 7.4 represents the bus which is in the process of being standardized by Sub-Committee 47B as a sub-system bus of the IEC 821 BUS which constitutes this standard.

IEC 823 BUS, named in Paragraphs 1.2.1.2 and 5.3.2 and Appendices B and C, represents the bus which is under consideration by Sub-Committee 47B as the serial bus of this IEC 821 BUS.
